

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-260955

(43)Date of publication of application : 16.09.1992

(51)Int.Cl. G06F 13/28  
G06F 13/28

(21)Application number : 03-152681

(71)Applicant : NEC CORP

(22)Date of filing : 25.06.1991

(72)Inventor : MIURA KATSUMI  
MIHIRA HIROKO

(30)Priority

Priority number : 02165915  
02237416

Priority date : 25.06.1990  
07.09.1990

Priority country : JP

JP

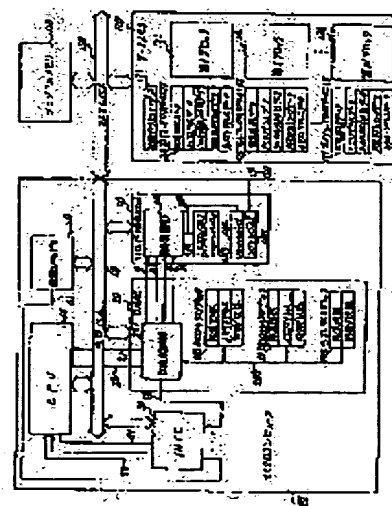
## (54) MICROCOMPUTER

### (57)Abstract:

PURPOSE: To shorten a period from the end of a transfer execution state up to its start and to attain rapid operation by providing a DMA controller with two storage means for storing current DMA transfer information and succeeding DMA transfer information.

CONSTITUTION: A microcomputer 100 is constituted of a CPU 10, the DMA controller 20 to be a peripheral unit, an interruption controller 30, a serial data receiving unit 40, and the other peripheral unit 50. The DMA controller 20 includes a current register block 202 for storing information necessary for current DMA transfer, a next register block 203 for storing information necessary for DMA transfer to be executed next and a save register block 204 for storing the transfer frequency information of the block 202 and control/state information.

Consequently the switching of DMA transfer can rapidly be executed and a transfer inhibiting period can be shortened.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-260955

(43) 公開日 平成4年(1992)9月16日

|                            |         |         |     |        |
|----------------------------|---------|---------|-----|--------|
| (51) Int. Cl. <sup>5</sup> | 識別記号    | 庁内整理番号  | F I | 技術表示箇所 |
| G 0 6 F 13/28              | 3 1 0 H | 7052-5B |     |        |
|                            | L       | 7052-5B |     |        |
|                            | P       | 7052-5B |     |        |
|                            | 3 3 0   | 7052-5B |     |        |

審査請求 未請求 請求項の数 7 (全 10 頁)

(21) 出願番号 特願平3-152681

(22) 出願日 平成3年(1991)6月25日

(31) 優先権主張番号 特願平2-165915

(32) 優先日 平2(1990)6月25日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平2-237416

(32) 優先日 平2(1990)9月7日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 三浦 勝巳

東京都港区芝五丁目7番1号日本電気株式会社内

(72) 発明者 三平 裕子

東京都港区芝五丁目7番1号日本電気株式会社内

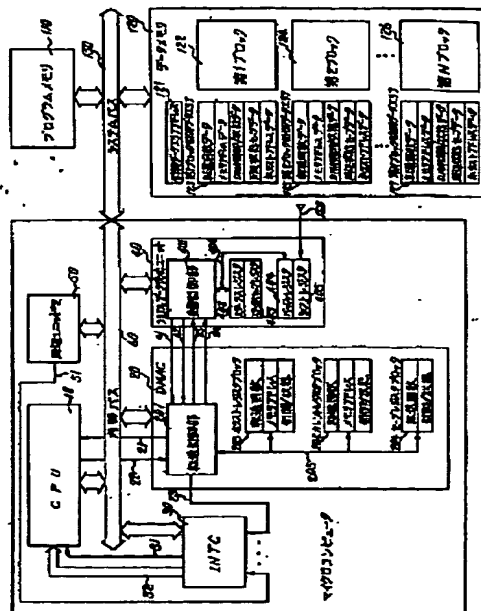
(74) 代理人 弁理士 内原 晋

(54) 【発明の名称】 マイクロコンピュータ

## (57) 【要約】

【構成】 マイクロコンピュータに内蔵されたDMAコントローラ20はカレントレジスタブロック202にストアのDMA転送に必要な情報を用いて周辺ユニット40およびメモリ120間のデータ転送を実行する。DMAコントローラ20には次に起動すべきDMA転送に必要な情報がストアされたネクストレジスタブロック203がさらに設けられている。カレントレジスタブロック202のストア情報を用いたDMA転送が終了すると、ネクストレジスタブロック203のストア情報によるDMA転送が起動される。

【効果】 したがって、DMAコントローラ20はCPU10による情報の再設定を待つことなく、その後のデータ転送要求にもとづくDMA転送を実行できる。



1

## 【特許請求の範囲】

【請求項1】 CPUと周辺ユニットからのデータ転送要求に応答して前記周辺ユニットおよびメモリ間のデータ転送を実行するDMAコントローラとを備え、前記DMAコントローラは、現在のDMA転送を実行するに必要な第1の情報をストアする第1の記憶手段と、前記現在のDMA転送の終了後に起動すべき次のDMA転送に必要な第2の情報をストアする第2の記憶手段と、前記第1の情報をを用いて前記データ転送要求に応答してデータ転送を実行する実行手段と、前記第1の情報をを用いたDMA転送の終了状態に応答して前記実行手段に前記第2の情報をを用いてデータ転送を実行できるようにするとともに前記CPUに対し割り込み要求を発行する手段とを有し、前記実行手段はその後の前記データ転送要求に応答して前記第2の情報をを用いてデータ転送を実行することを特徴とするマイクロコンピュータ。

【請求項2】 前記CPUは前記割り込み要求に応答して前記次のDMA転送の終了後に起動すべきさらに次のDMA転送に必要な第3の情報を前記DMAコントローラに設定する手段を有し、前記DMAコントローラの前記実行手段は前記第2の情報をを用いたDMA転送が終了すると前記第3の情報をを用いてその後の前記データ転送要求に応答したデータ転送を実行することを特徴とする請求項1記載のマイクロコンピュータ。

【請求項3】 前記CPUは実行すべき命令のアドレスを指定するプログラムカウンタと命令実行状態をストアするプログラムステータスワードとをさらに有し、前記CPUの前記手段は、前記第3の情報の前記DMAコントローラへの設定を前記プログラムカウンタおよび前記プログラムステータスワードの内容を退避することなくそのままの状態に保持したまま行うことを特徴とする請求項2記載のマイクロコンピュータ。

【請求項4】 CPUとデータ転送要求に応答して周辺ユニットおよびメモリ間のデータ転送を実行するDMAコントローラとを備え、前記DMAコントローラは前記データ転送を行う実行手段と、前記実行手段が前記データ転送を行うに必要な情報をストアする第1の記憶手段と、次に起動すべきDMA転送に必要な情報をストアする第2の記憶手段と、前記第1の記憶手段にストアされている情報をを用いたDMA転送の終了状態に応答して前記第2の記憶手段のストア情報を前記第1の記憶手段にコピーし前記実行手段にコピーされた情報をを用いたDMA転送を実行できる状態にする手段とを有することを特徴とするマイクロコンピュータ。

【請求項5】 前記CPUは、前記第2の記憶手段のストア情報が前記第1の記憶手段にコピーされると、さらに次に起動すべきDMA転送に必要な情報を第2の記憶手段にストアする手段を有することを特徴とする請求項4記載のマイクロコンピュータ。

【請求項6】 ダイレクトメモリアクセス（以下、DM

2

Aと記す）転送要求信号を発行し、かつ処理完了時にDMA転送終了指示信号を発行し、かつ前記処理完了時または状態退避指示信号の検出時に内部状態を退避し記憶する状態退避記憶手段を含む周辺回路と、少なくともDMA転送継続指示情報を含むDMA制御情報記憶部とDMA転送回数記憶部とを含む第1、第2、第3の3種のDMA制御記憶手段と、前記DMA転送要求信号を検知すると前記周辺回路とメモリとの間でDMA転送を行うとともに前記第2のDMA制御記憶手段内のDMA転送回数記憶部の値を更新し、前記更新の結果所定の値になるかまたは前記DMA転送終了指示信号を検知するかのいずれかが発生しかつ前記第2のDMA制御記憶手段内のDMA転送継続指示情報が有効であれば前記第2のDMA制御記憶手段の内容を前記第3のDMA制御記憶手段に、続いて前記第1のDMA制御記憶手段の内容を第2のDMA制御記憶手段に転送するとともに前記状態退避指示信号を発行する制御手段とを有するDMA転送手段とを有することを特徴とするマイクロコンピュータ。

【請求項7】 前記中央処理手段がデータ処理を行うための第1のバスと、前記DMA転送手段がDMA転送を行なうための第2のバスとをさらに有することを特徴とする請求項6記載のマイクロコンピュータ。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はマイクロコンピュータに関し、特にダイレクトメモリアクセス（DMA）コントローラを内蔵したマイクロコンピュータに関する。

【0002】

【従来の技術】高機能化、高速化の要求の伴ない近年のマイクロコンピュータは割り込みコントローラ、タイマ、カウンタ、シリアルデータ通信装置等の様々な周辺ユニットを内蔵している。このような周辺ユニットとメモリとの間でデータ転送が必要となるが、かかるデータ転送を中央処理装置（CPU）によりソフトウェア（プログラム）の介在で実行するとデータ処理効率が低下する。そこで、周辺ユニットとメモリとの間のデータ転送をCPUの代わりにDMAコントローラで実行させることが一般的である。

【0003】DMAコントローラは、アクセスすべきメモリのアドレス情報をストアするアドレスレジスタ、転送すべきデータ数をストアするターミナルカウンタレジスタ、およびデータ転送方向やメモリアドレスの更新方向等の制御データをストアする制御レジスタを有し、これらレジスタにはCPUにより必要な情報が初期設定される。周辺ユニットがDMAコントローラに対しデータ転送を要求すると、DMAコントローラはCPUからバスの使用権を得て周辺ユニットとメモリとの間でデータ転送を実行する。データ転送が終了するとDMAコントローラはバス使用権をCPUに渡し次のデータ転送要求の待ち状態となる。かくして転送されたデータ数がター

3

ミナルカウンタレジスタに設定されたデータ数に達すると、DMAコントローラはCPUに対し割込み要求を発行する。同要求にもとづきCPUは割込み処理ルーチンを実行し、上記レジスタに対し必要な情報を再設定し、次のデータ転送を許可状態とする。

【0004】

【発明が解決しようとする課題】 DMAコントローラは、CPUに対して割込み要求を発行した時点から次のデータ転送に必要な情報が再設定される時点までの期間はデータ転送禁止状態となるが、この禁止期間に周辺ユニットがデータ転送要求を発行する場合がある。かかる要求は受け付けられず保留される。データ転送禁止期間の長さはDMAコントローラからの割込み要求の優先順位や同コントローラがサポートする転送チャンネル数に依存しているが、データ転送禁止期間が長いとデータ転送要求が保留されている周辺回路がその保留期間に再度データ転送要求を発行する状態となり得る。例えばシリアルデータ受信装置では、所定ビット数のデータを受信する毎にデータ転送要求を発行するが、前のデータがメモリに転送されないうちに次のデータの受信が完了すると前のデータは破壊されてしまい受信オーバーランエラーが発生する。他の例としてシリアルデータ受信装置では、次に送信すべきデータが転送されずに送信アンダーランエラーが発生する。受信オーバーランエラーや送信アンダーランエラーはシリアル回線が高速になるほど発生しやすくなる。受信/送信データバッファの段数を増加しても、その段数以上にデータ転送が保留されるとやはりエラーが生じるし、高速なシリアル回線に見合うように十分にバッファ段数を増加するとハードウェアの増大をもたらす。

【0005】したがって、本発明の目的は、現在のデータ転送実行状態の終了から次のデータ転送実行状態の開始までの期間を実質的になくしたDMAコントローラを有するマイクロコンピュータを提供することにある。

【0006】本発明の他の目的は、周辺ユニットからのデータ転送要求の保留によるエラーの発生を防止することができるDMAコントローラを内蔵したマイクロコンピュータを提供することにある。

【0007】本発明のさらに他の目的は、高速シリアル回線のためのシリアルデータ通信装置をサポートできるDMAコントローラを内蔵したマイクロコンピュータを提供することにある。

【0008】

【課題を解決するための手段】 本発明によるマイクロコンピュータは、CPUと周辺ユニットからのデータ転送要求にもとづき同ユニットとメモリとの間のデータ転送を実行するDMAコントローラとを備え、DMAコントローラは、現在のDMA転送を実行するのに必要な第1の情報をストアする第1の記憶手段と、上記現在のDMA転送の終了後に起動すべき次のDMA転送に必要な第2

4

の情報をストアする第2の記憶手段と、上記第1の情報を用いて上記データ転送要求にもとづきデータ転送を実行する実行手段と、転送されたデータ数が上記第1の情報を用いて転送すべきデータ数に達したときに上記実行手段に上記第2の情報を用いてデータ転送を実行できるようにするとともにCPUに対し割込み要求を発行する手段とを有しており、上記実行手段は周辺ユニットからのその後のデータ転送要求にもとづき上記第2の情報を用いてデータ転送を実行することを特徴としている。

【0009】かかる構成により、転送したデータが判定数に達して現在のDMA転送が終了すると、実行手段は第2の情報によるDMA転送の実行可能状態となる。したがって、CPUによるDMA転送に必要な情報の再設定を待つことなく、周辺ユニットから引き続き発行されるデータ転送要求に応答して周辺ユニットとメモリとの間のデータ転送を実行することができる。

【0010】一方、CPUは現在のDMA転送の終了により発生される割込み要求にもとづきプログラム実行を中断し、上記次のDMA転送の終了後に起動すべきその次のDMA転送に必要な第3の情報をDMAコントローラに供給する。この第3の情報は、上記第2の情報が第2の記憶手段から第1の記憶手段にコピーされたときは第2の記憶手段にストアされ、実行手段が第2の記憶手段との間でやりとりするときは第1の記憶手段にストアされる。

【0011】

【実施例】以下、図面を参照しながら本発明の実施例を詳述する。

【0012】図1は本発明の第1実施例によるマイクロコンピュータ100を用いて構成されたマイクロコンピュータシステムを示すブロック図である。本マイクロコンピュータ100はCPU10と周辺ユニットとしてのDMAコントローラ(DMAC)20、割込みコントローラ(INTC)30、シリアルデータ受信ユニット40およびタイマ、カウンタ等の他のユニット50を有する。これらは同一の半導体基板上に構成され内部バス60で相互接続されている。

【0013】CPU10はシステムバス130を介して接続されたプログラムメモリ110から命令をフェッチして実行しオペランドデータに対する処理を行う。システムバス130にはデータメモリ120も接続されている。

【0014】INTC30はDMAC20および周辺ユニット50からの割込み要求信号23、51を含む複数の割込み要求信号を受け、二つ以上の割込み要求が同時に発生した場合は予め定められた優先順位に従ってそのうちの一つを選択し、CPU10に対し割込み処理要求信号31を発生するとともに割込みベクタ番号32を供給する。かかる割込み処理要求にもとづきCPU10は実行中のプログラム処理を一時中断し、そのときのプ

5

ログラムカウンタ、プログラムステータスワード、汎用レジスタ（すべて図示せず）をセーブして割込み処理ルーチンを実行する。

【0015】シリアルデータ受信ユニット40は、外部からシリアル回線150を介して供給されるシリアルデータを受信する。シリアルデータはシフトレジスタ405に順に取り込まれる。所定ビット数（例えば、8ビット）のデータを受信すると、同データはバッファレジスタ404に転送され、シフトレジスタ405は次のシリアルデータの受信に入る。バッファレジスタ404にデータが転送されると、受信制御部401はDMA転送要求信号42をアクティブにしDMA20にデータ転送を要求する。バッファレジスタ404に転送されたデータが、シリアルデータ転送の1フレームの終了を示すEOF（End Of Frame）コードのときは、ブロック切替信号41をアクティブにしてDMAC20にブロック切替を要求する。EOFコードを受信したことや受信データにエラーが発生したことはステータスレジスタ402に記録される。受信制御部401はDMAC20からのデータ出力指示信号25に同期してバッファレジスタ404の内容を内部バス60に出力する。また、DMAC20からのステータスセーブ指示信号24にตอบสนองしてステータスレジスタ402内の内容をステータスセーブレジスタ403にセーブする。

【0016】DMAC20は転送制御部201を有し、同制御部201はカレントレジスタブロック202にストアされている制御情報にもとづき、ユニット40とメモリ120間のDMAデータ転送を実行する。レジスタブロック202にストアされている制御情報は、データの転送回数を示す転送回数情報、メモリ120のアクセスアドレスを示すメモリアドレス情報、および制御/状態情報を有する。制御/状態情報には、DMAデータ転送の方向（すなわち、メモリから周辺ユニットあるいは周辺ユニットからメモリ、本実施例ではシリアル受信ユニット40からメモリ120への転送）、メモリアドレスの更新方向、DMA転送要求を受け付けてよいかどうかを示す転送要求受付許可情報を有し、さらに、DMA転送を次のブロックへ続けて実行してよいかどうかを示すブロック継続指示情報を含んでいる。DMAC20はさらに本発明に従って、ネクストレジスタブロック203およびセーブレジスタブロック204を有する。ネクストレジスタブロック203には現在のDMA転送の終了後に次に実行すべきDMA転送に必要な情報、すなわち、次のDMA転送の転送回数情報、メモリアドレス情報および制御/状態情報をストアする。セーブレジスタブロック204はカレントレジスタブロック202の転送回数情報と制御/状態情報とがセーブされる。転送制御部201はCPU10に対してホールド要求（HLD RQ）信号21を出力しCPU10からホールドアクノレッジ（HLDACK）信号22を受けてバス60、1

6

30の使用権を得、シリアル受信ユニット40からメモリ120へデータ転送を実行する。データ転送を実行する毎にカレントレジスタブロック202の転送回数は1減算されるとともにメモリアドレス202が更新される。転送回数が0となる、すなわち転送したデータ数が現在のDMA転送により指定されたデータ数に達するか又はユニット40からF0Fコード受信にもとづくブロックの切替要求信号41がアクティブとなると、カレントレジスタブロック202の転送回数情報と制御/状態情報がセーブレジスタブロック204にセーブされる。そして、セーブした制御/状態情報に含まれるブロック継続指示情報が「継続」を指示しているときは、ネクストレジスタブロック203の内容がカレントレジスタブロック202にコピーされ、割込み要求信号23が発生される。ブロック継続指示情報が「非継続」を指示しているときは、ネクストレジスタブロック203からカレントレジスタブロック202へのコピーが行われることなく割込み要求信号23が発生される。

【0017】データメモリ120はCPU10によって処理されるべきおよび処理されたオペランドデータをストアするが、さらに、シリアルデータ受信ユニット40によって受信されたデータが転送されるべきN個のブロック122, 124, ..., 126を有する。これらブロックの夫々に対応してブロック制御データエリア123, 125, ..., 127が設けられている。ブロック制御データエリアの夫々は、対応するブロックのサイズを示す転送回数データエリアと、対応するブロックの先頭アドレスを示すメモリアドレスデータエリアと、対応するブロックと受信ユニット40間のDMA転送における制御/状態データエリアと、受信ユニット40のステータスセーブレジスタ403の内容が転送されるべき周辺状態セーブデータエリア、他のブロックのための制御データエリアの先頭アドレスをストアするネクストアドレスデータエリアとを有する。データメモリ120はさらに制御データエリアアドレスをストア領域121を有する。

【0018】以下、図2および図3に示した動作フローも参照して本マイクロコンピュータの具体的動作を詳述する。

【0019】CPUはDMAC20を起動する前に初期設定を行なう。すなわち、第1乃至第Nブロック122, 124, ..., 126をデータメモリ120に割り当●、対応するブロック制御データエリア123, 125, ..., 127に前述してデータを書込む。なお、第1乃至第(N-1)ブロック制御データエリアのDMA制御/状態データにおけるブロック継続指示情報は「継続」を指示し、第Nブロック制御データエリアのそれは「非継続」を指示しているとする。また、第1ブロック制御データエリアのネクストアドレスデータには第2ブロック制御データエリアの先頭番地が、第2ブロック制御デ

7

ータエリアのそれには第3ブロック制御データエリアの先頭番地が、そして第(N-1)ブロック制御データエリアのそれには第Nブロック制御データエリアの先頭番地が設定されるとする。制御データエリアアドレス121は第1ブロック制御データエリア123の先頭番地が設定される。CPU40はまたシリアルデータ受信ユニット40にシリアルデータ受信に必要な情報、例えばシリアル回線150のスピードを設定しシリアル受信を許可する。そして、DMAC20のネクストレジスタブロック203に第2ブロック制御データエリア125の転送回数データ、メモリアドレスデータ、DMA制御/状態データを設定し、カレントレジスタブロック202に第1ブロック制御データエリア123の転送回数データ、メモリアドレスデータ、DMA制御/状態データを設定してDMAC20を起動する。CPU10は引き続きプログラムメモリ10から命令をフェッチし実行する。

【0020】一方、起動されたDMAC20は図2に示した動作フローに従って動作する。すなわち、シリアルデータ受信ユニット40からのEOFコード受信にともなうブロック切替要求信号41がアクティブかどうか調べ(251)、データ転送要求信号42がアクティブかどうか調べる(252)。

【0021】シリアルデータ受信ユニット40も起動されており、シリアル回線150を介して送信されるシリアルデータを受信している。所定ビット数のデータを受信すると、そのデータがEOFコードか通常のデータかを調べ、信号41か又は42を発生する。

【0022】シリアルデータ受信ユニット40がデータ転送要求信号42を発生したとすると、転送制御部201はHLDRQ信号21をアクティブにしてバス60、130の使用権をCPU10に要求する(253)。CPU10は実行中のプログラム処理を一時中断し内部をホールド状態としてHLDACK信号22をDMAC20に返す。転送制御部201はアクティブレベルのHLDACK信号22を検出すると(254)、カレントレジスタブロック202のメモリアドレスをバス60、130を介してデータメモリ120に供給するとともにデータ出力指示信号25を発生してシリアルデータ受信ユニット40に受信データをバス60に出力せしめる。かくして、受信データはメモリ120内の第1ブロック122の先頭アドレスに転送される(255)。転送後、HLDRQ信号21を取下げバス使用権をCPU10に戻す。転送制御部201はカレントレジスタブロック202のメモリアドレスを更新して書き戻し、転送回数データから1つ減算して書き戻す(257)。所望なら更新したアドレスを第1ブロック122のアクセスアドレスとしてもよい。転送制御部201は減算した転送回数が零かどうか判定し(258)、零でなければステップ251に戻る。かかる処理はデータ転送要求信号42が

8

アクティブになる毎に実行される。

【0023】ブロック切替要求信号41が発生されるか又は転送回数が零なる、すなわち、第1ブロック122が受信データで満たされると、ステップ259に処理が移る。すなわち、カレントレジスタブロック202の転送回数情報と制御/状態情報とがセーブレジスタブロック204にセーブされる。転送制御部201はセーブされた制御/状態情報の中のブロック継続指示情報を判定する(260)。本説明では同情報は「継続」を指示している、ステップ261に移り、ネクストレジスタブロック203の内容がカレントレジスタブロック202にコピーされる。かくして、DMAC20は、CPU10による再設定を待つことなく、シリアルデータ受信ユニット40とメモリ120の第2ブロック124とのDMA転送を実行できる状態となる。転送制御部201はこの後、周辺セーブ信号24と割込み要求信号23を発生し、ステップ251に移行する。したがって、この後、シリアルデータ受信ユニット40がデータ転送要求信号42を発生すると、受信データは第2ブロック124に転送されることになる。

【0024】一方、周辺セーブ信号24に応答して受信制御部401はステータスレジスタ402の内容をステータスセーブレジスタ403にセーブする。

【0025】INTC30はDMAC20からの割込み要求信号23に回答してCPU10に割込み処理要求を発生する。CPU10は同要求にもとづきプログラム実行を中断し、中断したプログラム実行の再開に必要な情報をデータメモリ120のスタック領域(図示せず)に退避させ、図3の割込み処理ルーチンを実行する。

【0026】この割込み処理ルーチンにおいて、CPU10はまず受信ユニット40内のステータスセーブレジスタ132からセーブされたステータス情報を読込み(301)、受信データや受信状態にエラーが発生しているかどうかをチェックする(302)。エラーが発生しておれば、エラー処理303として、DMAC20およびデータ受信ユニット40の動作を止め、シリアルデータの送信元にデータの再送信を要求するとともにDMAC20、ユニット40の再設定を行なう。エラー発生がなければ、ステータスセーブレジスタ403の内容を第1ブロック制御データエリア123の周辺状態セーブデータエリアに転送し、DMA20のセーブレジスタブロック204の内容を同エリア123の転送回数データエリアおよびDMA制御/状態データエリアに転送する(304)。この処理のために、制御データエリアアドレス121としてデータエリア123の先頭アドレスがストアされており、同アドレスと各ブロックにおける各データエリアの予じめ定まったオフセット量とから各データエリアのアドレスが算出される。勿論、DMAC20および受信ユニット40内の各レジスタのアドレスは予じめ定まっている。そして、第1ブロック制御データ

9

エリア123のネクストアドレスデータ、すなわち第2ブロック制御データエリアの先頭アドレスが制御データエリアアドレス121として設定される。次に、第1ブロック制御データエリア123にセーブされたDMA制御/状態データのブロック継続指示情報を判定する(305)。本説明では同情報は「継続」を指示しているの  
 10 10で、新たに設定された制御データエリアアドレス121と第2ブロック制御データエリア125内のネクストアドレスデータとを利用して、第3ブロック制御データエリア(図示せず)内の転送回数データ、メモリアドレスデータおよびDMA制御/状態データをDMAC20のネクストレジスタブロック203に転送する(306)。

【0027】図2に戻って、ステップ260でブロック継続指示情報が「非継続」を指示しているときは、転送制御部201はネクストレジスタブロック203の内容をカレントレジスタ202にコピーすることなく信号24と23を発生し、DMAC20はCPU10にはデータ再設定の待ち状態となりDMA転送禁止状態となる。したがって、図3に示したCPUの割込み処理ルーチンでは、ステップ305の次はステップ307に移り、第2および第3ブロック制御データエリア内の転送回数データ、メモリアドレスデータおよびDMA制御/状態データがカレントレジスタブロック202およびネクストレジスタブロック203にそれぞれ転送され、DMAC20が再起動される。

【0028】ステップ306又は307の実行後、CPU10は第1ブロック122に転送されたデータに対する処理を実行する(308)。実行後、データメモリ120から退避しておいた情報を復帰し、中断されていたプログラムを再開する。

【0029】各ブロック制御データエリアにはセーブレジスタブロック204の転送回数情報も転送されるので、上述したブロック切替がFOEコードの受信によるブロック切替要求信号41により実行された場合でも、各ブロックにいくつのデータが転送されているのか判定できる。

【0030】このように、ブロック継続指示情報を「継続」にしておけば、所定数のデータが転送されるか又はFOEコードが受信されても、DMAC20は次のブロックへのデータ転送許可状態となるので、受信オーバーランエラーが発生することを防止できる。

【0031】本マイクロコンピュータ100がシリアルデータ送信ユニットにも内蔵するときは、同ユニットのためのカレントレジスタブロック、ネクストレジスタブロックおよびセーブレジスタブロックをDMAC20内にさらに用意し、送信ユニットと受信ユニットのためのデータ転送を時分割的に実行することにより受信オーバーランエラーおよび送信アンダーランエラーの両方とも防止できる。

10

【0032】図4を参照すると、本発明の第2実施例によるマイクロコンピュータ101は、シリアルデータ受信ユニット40とローカルメモリ400との間のDMA転送を実行するDMAC20を有する。なお、図1と同一構成部は同じ番号で示して説明を省略する。DMAC20、受信ユニット40およびローカルメモリ400はローカルバス450で相互接続されている。受信ユニット40がデータ転送要求を発行すると、転送制御部201はHLDRQ信号21およびHLDACK信号22により、ローカルバス450を管理するプロセッサ(図示せず)からローカルバスの使用権を得て、受信ユニット40からローカルメモリ400へデータを転送する。

【0033】かかる構成では、図3に示したCPU10の割込み処理ルーチンがDMA転送により一時中断されることがないので、CPUの処理効率をさらに高めることができる。ローカルメモリ400もマイクロコンピュータ101の管理下にあり、ローカルバス450をDMA転送の専用バスとして用いれば、転送制御部201は信号21、22を用いることなくDMA転送を実行できる。

【0034】なお、図3の割込み処理ルーチンはプログラムメモリ110にストアされていてユーザーが比較的自由に変更できる。たとえば、エラーチェック(302)およびデータ処理(308)はすべてのブロック122、124、…、126へのデータ転送終了後に一括して実行してもよい。ただし、ステップ304乃至306はブロック継続を指示する限り実行した方が好ましい。

【0035】ところで、図3の割込み処理ルーチンの実行にあたっては、まずCPU10は中断されたプログラム実行のその時点での状態、すなわちプログラムカウンタ(PC)、プログラムステータスワード(PSW)および汎用レジスタの内容をデータメモリ120にセーブし、割込み処理ルーチンの実行後にセーブした内容を復帰してプログラムを再開させるという所謂オーバーヘッドを伴う。かかるオーバーヘッドをなくしたDMAC20からの割込み要求にもとづく処理のうちの定格的なものをマイクロコンピュータ自体があたかもハードウェアの一部として実行すれば、処理効率はさらに高まりまたユーザーのプログラム負担を軽減することができる。

【0036】そのための構成を第3実施例として図5に示す。なお、図5には本実施例では、マイクロコンピュータのCPU15とINTC30のみが示されており、その他の構成は図1と同一であるので省略している。本CPU15はマイクロプログラム制御方法を採用しており、プログラムメモリ110にストアされた各命令は対応する一連のマイクロ命令(すなわち、マイクロプログラム)を実行することによりこの機能が達成される。マイクロプログラムはユーザーからは見えないので、ユー



11

ザーにとっては完全にハードウェアの一部である。

【0037】すなわち、プログラムカウンタ(PC)151の内容はアドレスバスドライバ153を介してバス60、130に転送され、それによってプログラムメモリ110から読み出された命令はデータバッファ154を介して命令レジスタ(IR)155に一時ストアされる。IR155からの命令はデコーダ156で解読されて実行部158に供給される。実行部はマイクロプログラムメモリ1585を有し、マイクロプログラムポインタ1584に解読された命令が有するマイクロアドレスがセットされることにより、一連のマイクロ命令が読み出され実行される。実行部158はさらに算術論理演算ユニット(ALU)1581、その演算状態を一時ストアするプログラムステータスワード(PSW)1582、テンポラリレジスタ1583を有し、汎用レジスタ157とも協働して一連のマイクロ命令が実行されることにより、IR155にストアされた命令の機能が遂行される。実行部158から出力される制御信号群159は命令実行のためのシーケンスコントロール信号である。

【0038】マイクロプログラムメモリ1585には本実施例に従ってマクロサービスマイクロプログラム1586がストアされている。マクロサービスについては後で詳述する。このマクロサービスマイクロプログラム1586は、INTC30からの割込み要求がマクロサービス要求を指定しているときに起動される。

【0039】すなわち、INTC30は、DMAC20からの割込み要求をマクロサービスとして処理するか通常のベクタ割込みとして処理するかを指定するフラグ33を有している。フラグ33がセットされたときはマクロサービスが指定され、クリアされたときにはベクタ割込みが指定される。INTC30は、割込み要求を受けると、実行部158に割込み処理要求信号31を発生するとともに割込みモード情報32-1をIR155にストアする。さらにベクタ番号情報32-2を実行部158に供給する。割込みモード情報32-1を解読した結果、ベクタ割込みが指定されておれば、ベクタ番号情報32-2から割込み処理ルーチンの先頭番地を得、PC151、PSW1582、汎用レジスタ157の内容をデータメモリ120にセーブして、PCに上記先頭番地を設定して割込み処理ルーチンを実行する。一方、割込みモード情報32-1がマクロサービスを指定しているときは、ベクタ番号32-2からマクロサービスマイクロプログラム1582の先頭マイクロアドレスを得、これをポインタ1584に設定してマイクロプログラムを実行する。このとき、PC151、PSW1582、汎用レジスタ157の内容はセーブされずにそのままの状態とされ、かつそれらの内容の更新は禁止される。

【0040】次に、動作につき詳述する。CPU15は図1で述べたようにプログラムメモリ110にストアさ

12

れたプログラムを実行することによりデータメモリ120、シリアルデータ受信ユニット40およびDMAC20に初期設定を実行する。ただし、本実施例では、DMA制御/状態情報としてマクロサービスの後に続けてCPU15をベクタ割込み処理に移行させるベクタ割込み要求指定情報も含まれている。本説明では、第1乃至第(N-1)ブロックではベクタ割込み要求は指定されず、第Nブロックで指定されている。また、第1乃至第(N-1)ブロックではブロック継続指定情報は「継続」となっており、第Nブロックでは「非継続」となっている。さらに本実施例では上記初期設定時にINTC30のフラグ33はセットされる。かかる初期設定後、CPU15は引き続きプログラムメモリ110から命令フェッチして実行する。

【0041】一方、DMAC20は図2で示したフローに従って動作しており、所定ビット数のデータが受信される毎に同データは受信ユニット40からデータメモリ120の第1ブロック122にDMA転送される。そして、カレントレジスタブロック202の転送回数データが零となるか又はFOFコードが受信されると、本説明では、カレントレジスタ202の転送回数データおよび制御/状態データがセーブレジスタブロック204にセーブされ、ネクストレジスタブロック203の内容がカレントレジスタブロック202にコピーされる(図の259乃至261)、その後、周辺セーブ指示信号24が発生されるとともに割込み要求信号23が発生される。

【0042】フラグ33がセットされているので、INTC30は割込み要求信号23に応答してマクロサービスモード指定情報32-1をIR155に転送する。かくして、マクロサービスマイクロプログラムがPC151、PSW1582、汎用レジスタ157の内容をセーブすることなくそのままにした状態で起動される。このマクロサービスマイクロプログラムのフローチャートが図6に示されている。すなわち、データメモリ120の制御データエリアアドレス121の値を使ってステータスセーブレジスタ403の内容とDMAC20のセーブレジスタブロック204の内容が第1ブロック制御データエリア123の対応する領域にそれぞれ転送される(601)。セーブされたDMA制御/状態データのうちのブロック継続指示情報がチェックされる(602)。本説明では「継続」指示となっているので、第1ブロック制御データエリア123のネクストアドレスデータがエリアアドレス121として設定され(603)、同アドレスと第2ブロック制御データエリア125のネクストアドレスデータ2を利用して、第3ブロック制御データエリアの転送回数データ、メモリアドレスデータおよびDMA制御/状態データがDMAC20のネクストレジスタブロック203に転送される(604)。この後、第1ブロック制御データエリア123に転送されたDMA制御/状態データのうちのベクタ割込

み要求指示情報がチェックされる(605)。本説明では、ベクタ割込み要求をしないので、マクロサービスを終了する。

【0043】マクロサービスが終了すると、PC151、PSW1582、汎用レジスタ157の更新が許可され、中断されたプログラムの実行が再開される。プログラムの中断および再開にともなうオーバーヘッドが生じないので、CPUの処理効率はさらに高まる。

【0044】上記ステップ602で「非継続」が指定されておれば、ステップ605に移行する。このステップでベクタ割込み要求が指定されておれば、フラグ33がクリアされ(606)、マクロサービスを終了する。

【0045】フラグ33がクリアされることにより、INTC30はベクタ割込みモードコード32-1を再度IR/55に設定し、この結果、ユーザプログラムによる割込みルーチンが起動される。

【0046】この割込みルーチンによる処理は、各ブロックに対応するブロック継続指示情報および/又はベクタ割込み要求指示情報に応じて様々な処理が考えられる。本説明では、第Nブロック126へのデータ転送後に、ベクタ割込みが起動されるので、その割込み処理ルーチンで、各ブロックでの周辺状態セーブデータにもとづくエラーチェックおよび各データに対する処理が一括して実行される。

【0047】このように、本実施例によれば、DMAC20とデータメモリ120間の必要なデータ転送がマイクロプログラムによるマクロサービスとしてマイクロコンピュータのハードウェアの一部として実行されるので、データ処理の実行効率がさらに高まり、かつユーザに対しプログラム作成の負担を軽減することができる。

【0048】本実施例においても、図4に従ってDMAC20が受信ユニット40とローカルメモリ400との間のDMA転送を実行させることができる。

【0049】

【発明の効果】以上のとおり、本発明によれば、DMA転送のブロックの切り替えを数クロックという非常に高速に実行できて転送禁止期間が極めて短縮化でき、DMA転送要求の発行期間が短い場合にも対処することができる。

【0050】本発明は上記実施例に限定されず、適宜変更できることは明らかである。例えば、ネクストレジスタブロック203をカレントレジスタブロック202にコピーする代わりに、転送制御部201が参照すべきレジスタをマルチプレクサでネクストレジスタブロック203となるように切替てもよい。このとき、次の情報はレジスタブロック202にロードされ、これがネクストレジスタブロックとなる。

【図面の簡単な説明】

【図1】本発明の第1実施例によるマイクロコンピュータを用いたシステムブロック図である。

【図2】図1で示したDMACの動作フローチャートである。

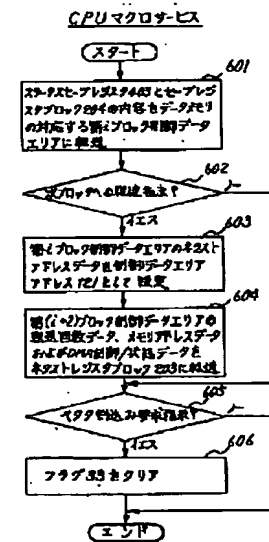
【図3】図1で示したマイクロコンピュータの割込み処理ルーチンの一例を示すフローチャートである。

【図4】本発明の第2実施例によるシステムブロック図である。

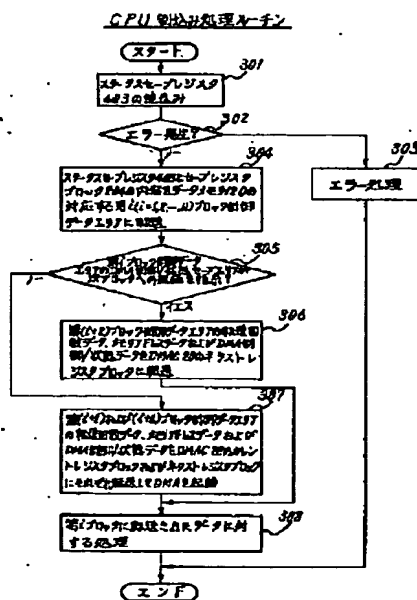
【図5】本発明の第3実施例によるマイクロコンピュータのCPUを示すブロック図である。

【図6】図5で示したCPUのマクロサービスマイクロプログラムのフローチャートである。

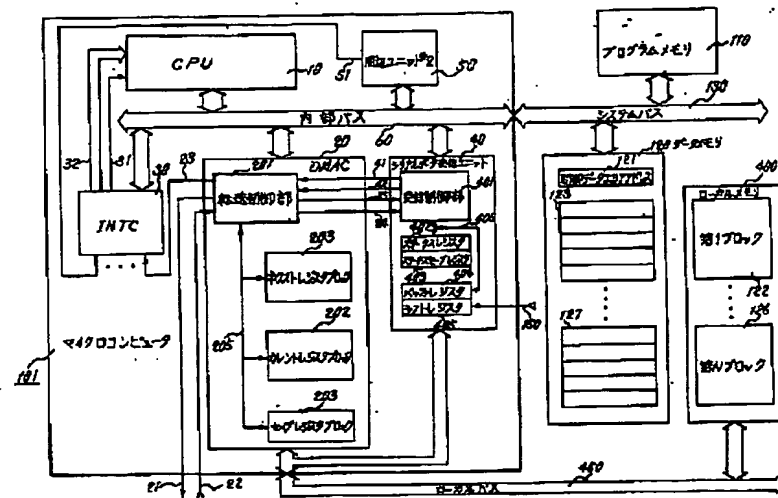
【图 6】



【图 3】



【図4】



【図5】

